

PATE ABSTRACTS OF JAPAN

(11)Publication number : 2001-044398

(43)Date of publication of application : 16.02.2001

)Int.Cl.

H01L 27/12
C30B 29/06

)Application number : 11-217368

(71)Applicant : MITSUBISHI MATERIALS SILICON CORP

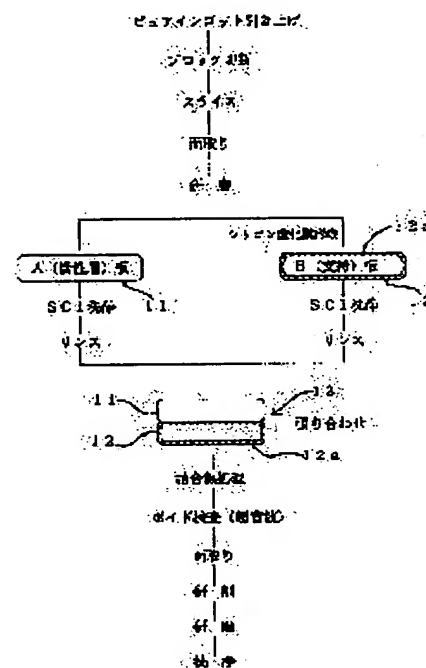
)Date of filing : 30.07.1999

(72)Inventor : OI HIROYUKI

) LAMINATED SUBSTRATE AND MANUFACTURE THEREOF

)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated substrate which minimizes defects in a wafer on a device manufacturing side and increases electrical characteristics and its manufacture.

SOLUTION: A device manufacturing side is laminated as a pure silicon wafer 11. When a CZ ingot is pulled, the pure silicon wafer 11 controls the average value of a pull-up speed and an in-crystal temperature grade, and excludes grown-in effects. The pull speed is set as V mm/min, and the average value of an in-crystal temperature grade in a pull axial direction from a Si fusing point to 1,300°C is set as G°C/mm, and V/G is 0.20 to 0.2 mm²/°C.min in a region from the crystal center to 45 mm, and a get pulling speed is set so that V/G increases monotonously in a region outside of 45 mm. Lamination is carried out under a normal condition.


GAL STATUS

ate of request for examination]

05.09.2002

ate of sending the examiner's decision of rejection]

ind of final disposal of application other than the
aminer's decision of rejection or application converted
gistration]

ate of final disposal for application]

atent number]

ate of registration]

umber of appeal against examiner's decision of
ection]

ate of requesting appeal against examiner's decision of
ection]

ate of extinction of right]

NOTICES *

A Japanese Patent Office is not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.
 *** shows the word which can not be translated.
 In the drawings, any words are not translated.

AIMS

aim(s)]

aim 1] The lamination substrate which used the near silicon wafer with which a device is produced at least among 1st silicon wafer and the 2nd silicon wafer as the pure silicon wafer with which a minute defect does not exist all over a wafer in the lamination substrate which made the 1st silicon wafer and the 2nd silicon wafer rival.

aim 2] The lamination substrate according to claim 1 with which the insulating layer intervened between the silicon wafer of the above 1st, and the 2nd silicon wafer.

aim 3] By controlling the raising rate of the single-crystal-silicon ingot by the CZ process, and the average of the temperature gradient in a crystal which is a temperature gradient in the crystal of this single-crystal-silicon ingot By carrying out slicing of the obtained pure single-crystal-silicon ingot to the process which pulls up the pure single-crystal-silicon ingot in which a minute defect does not exist The process which produces the pure silicon wafer with which the minute defect was eliminated from the whole wafer surface, The manufacture approach of the lamination substrate equipped with the process which the above-mentioned pure silicon wafer is used [process] for either at least among the 1st silicon wafer and the 2nd silicon wafer, and makes these 1st silicon wafer and the 2nd silicon wafer rival.

translation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

the drawings, any words are not translated.

TAILED DESCRIPTION

ailed Description of the Invention]

01]

ld of the Invention] This invention relates to the lamination substrate with which the minute defect was eliminated,
its manufacture approach from the whole surface of a lamination substrate and its manufacture approach, and the
r silicon wafer with which a device is produced in detail.

02]

scription of the Prior Art] On the occasion of manufacture of the SOI wafer which is a kind of a lamination
strate, the single-crystal-silicon ingot which was able to be first pulled up by the CZ process is sliced, and two
on wafers are prepared. Subsequently, an insulator layer is inserted, wafer of one of the two is used as the wafer for
rier layers, and both wafers are piled up at a room temperature by using the wafer of another side as the wafer for
port substrates. And predetermined lamination heat treatment is performed. Then, the periphery section of the wafer
barrier layers is beveled for removing a poor lamination field etc. Then, grinding of the front face of this wafer for
rier layers is carried out, and it is ground. This polished surface turns into a device forming face. By the way, in the
gle-crystal-silicon ingot, oxygen is contained in the state of supersaturation. This oxygen [*****] raises the
chanical reinforcement of an ingot, or has played a role of a gettering site of an impurity. It is also the factor which
kes a silicon wafer produce BMD(s) (Bulk Micro Defect), such as a minute oxygen induction stacking fault
F; Oxidation Induced Stacking Fault) and COP (Crystal Originated Particle), on the other hand.

03]

blem(s) to be Solved by the Invention] The production field of the device in a silicon wafer is 10 micrometers or
of the surface section. In the case of a SOI wafer, a device is built by the surface section whose thickness is several
micrometers - several micrometers. Thus, the crystal property of the wafer for barrier layers becomes important. That
this wafer front face must be completely defect-free, and homogeneity and a defect-free thing are required also as the
face section. However, the wafer for barrier layers is also a CZ wafer. Therefore, oxygen exists in the state of
ersaturation in a wafer. This oxygen [*****] is making the wafer for barrier layers produce a minute defect. The
able of causing degradation of for example, an oxide-film proof-pressure property by the minute defect had occurred.

04] Then, the artificer completed this invention paying attention to the pure silicon wafer with which a minute defect
nceforth a Grown-in defect) which degrades electrical characteristics does not exist. Here, a Grown-in defect is a
ect resulting from raising of a crystal, and contains an infrared dispersion defect besides being the above-mentioned
/gen induction stacking fault etc., a rearrangement cluster, etc. The former infrared dispersion defect is a kind of an
/gen sludge, and is a minute defect observed by the infrared tomograph method. Moreover, the latter rearrangement
ster is a minute defect produced according to deformation of a silicon crystal, and is a defect which exists in the
ndary of the part which is on the sliding surface of a crystal and was already slippery, and the part which is not
pery yet.

05]

bjects of the Invention] This invention sets it as that purpose to offer the lamination substrate which can raise the
ctrical characteristics on the front face of a wafer by making the near silicon wafer with which a device is produced
ke it defect-free, and its manufacture approach.

06]

means for Solving the Problem] Invention according to claim 1 is the lamination substrate which used the near silicon
fer with which a device is produced at least among the 1st silicon wafer and the 2nd silicon wafer as the pure silicon
fer with which a minute defect does not exist all over a wafer in the lamination substrate which made the 1st silicon

er and the 2nd silicon wafer rival. As a lamination substrate, a SOI substrate etc. is mentioned, for example.

07] As the production approach of a pure silicon wafer, a single-crystal-silicon ingot is pulled up according to the conditions indicated to claim 3, and the approach of carrying out wafer processing of this by the general approach etc. is mentioned. The production approach of a pure silicon wafer is not limited to this condition according to claim 3. The wafer with which a pure silicon wafer is adopted is a wafer by the side of device production fundamentally. However, it is not limited to this. That is, a pure silicon wafer may be the 1st silicon wafer, or may be the 2nd silicon wafer, and both wafers are sufficient as it.

08] Invention according to claim 2 is the lamination substrate according to claim 1 with which the insulating layer is provided between the silicon wafer of the above 1st, and the 2nd silicon wafer. The so-called lamination SOI substrate responds to this.

09] Invention according to claim 3 is controlling the raising rate of the single-crystal-silicon ingot by the CZ process, the average of the temperature gradient in a crystal which is a temperature gradient in the crystal of this single-crystal-silicon ingot. By carrying out slicing of the obtained pure single-crystal-silicon ingot to the process which pulls the pure single-crystal-silicon ingot in which a minute defect does not exist. The process which produces the pure silicon wafer with which the minute defect was eliminated from the whole wafer surface, It is the manufacture approach of the lamination substrate equipped with the process which the above-mentioned pure silicon wafer is used [process] either at least among the 1st silicon wafer and the 2nd silicon wafer, and makes these 1st silicon wafer and the 2nd silicon wafer rival.

10] An example of the concrete production approach of a pure silicon wafer is indicated by "the silicon single crystal wafer and its manufacture approach" of JP,8-330316,A. The production approach of the pure silicon wafer by this patent application presentation official report is explained. Namely, in case the single-crystal-silicon ingot by the CZ process is pulled up first. When setting a raising rate to V (mm/min) and setting the average of the temperature gradient in a crystal to the raising shaft orientations in the temperature requirement from the silicon melting point to 1300 degrees C to G (degree C/mm), V/G value is set to 0.20-0.22mm²/degree C and min from a crystal periphery from a crystal center location in the ingot core field to the location of 30mm to the radial inside. In the ingot periphery section field from the location of 30mm to a crystal periphery location, it is referred to as 0.20-0.22mm²/degree C and min from this crystal periphery to the radial inside, or it is made to increase gradually toward a crystal periphery, and this single-crystal-silicon ingot is produced by low-speed raising. Thereby, Grown-in defects, such as an oxygen induction stacking fault, are eliminated out of a single-crystal-silicon ingot. Then, the pure silicon wafer with which a minute defect does not exist all over a wafer is produced by carrying out slicing of this single-crystal-silicon ingot.

11] Moreover, superposition of the 1st silicon wafer and the 2nd silicon wafer is usually performed at a room temperature. 800 degrees C or more of heating temperature of lamination heat treatment are usually 1100-1200 degrees C. Generally lamination heat treatment time amount is before or after 2 hours. Oxygen etc. is used for the controlled atmosphere in a furnace.

12] Invention] According to this invention, both wafers are stretched by using as a pure silicon wafer the near wafer with which a device is produced at least among the 1st silicon wafer and the 2nd silicon wafer. When this pure silicon wafer controls the average of a raising rate and the temperature gradient in a crystal from the time of ingot raising already according to a CZ process, various kinds of Grown-in defects are eliminated. Therefore, electrical characteristics, such as oxide-film pressure-proofing, can be raised.

13] [Embodiment of the Invention] Hereafter, the example of this invention is explained with reference to a drawing. In addition, a lamination SOI substrate is taken for an example as a lamination substrate here. Drawing 1 is a flow chart which shows the manufacture approach of the lamination substrate concerning one example of this invention. As shown in Drawing 1, in the raising process of the single-crystal-silicon ingot by the CZ process, a single-crystal-silicon ingot is produced beforehand, controlling the average of the raising rate and the temperature gradient in the crystal.

14] In CZ equipment which can specifically raise the 6 inch single-crystal-silicon ingot in which 18 inch quartz cylinder and carbon crucible were installed. The relative position of the cylinder-like carbon heater and crucible which are installed in the perimeter of crucible, The distance of the tip of the radiation screen of 5mm in thickness, and the circle drill configuration of 200mm of diameters of opening and melt front face which consist of carbon installed in the perimeter of a growth crystal, A comprehensive thermal rating examines conditions, such as heat insulator structure in the perimeter of a heater, and after that, throw 65kg of high grade polycrystalline silicon into this crucible, and boron is added. Heating melting of this polycrystalline silicon was carried out, and by 150mm, the diameter pulled up the single crystal of <100> until crystal growth bearing became the length of 1300mm. The control condition of the raising

- in this case and the average of the temperature gradient in a crystal is shown below.
- 15] That is, the target raising rate in a crystal orientation was set up so that V/G value when making a raising rate Vmm/min and carrying out the average of the temperature gradient in a crystal of the raising shaft orientations in temperature requirement from the silicon melting point to 1300 degrees C in G degrees C/mm might be maintained 0.20-0.22mm²/degree C and min in the field from a crystal center to 45mm and V/G value might increase it from 0.20 to 0.22 in monotone in an outside field.
- 16] The single-crystal-silicon ingot after raising is started by 1.5mm in thickness to a crystal orientation and parallel, solution removal of the processing distortion is carried out in the mixed-acid solution which consists of HF and H₂O₂, and it is further immersed into a rare HF solution, and the rinse was carried out with ultrapure water and it was dried to dry after that. After carrying out at 800 degrees C and heat-treating this sample in desiccation oxygen at 1000 degrees C for 16 hours for 4 hours, the X-ray topograph investigated generating distribution of a defect. Distribution of a defect is shown in the mimetic diagram of the defective distribution in a flat surface including the crystallographic axis in drawing 2. In addition, a 0-700mm line shows the die length from the shoulder of a single-crystal-silicon ingot in drawing 2, and this supports the amount of crystal raising. Consequently, generating of defects [in / about 1// range of the die length of 2], such as an oxygen induction stacking fault (OSF ring), an infrared dispersion defect, a rearrangement cluster, of the overall length applied to a tail part from the top section of a single-crystal-silicon ingot was not seen.
- 17] Then, this obtained single-crystal-silicon ingot is given for block cutting, a slice, beveling, polish, etc., and the wafer 11 for barrier layers with 620 micrometers [in thickness] and a diameter of 150mm (6 inches) is prepared. Moreover, the wafer 12 for support substrates of the same thickness and the same aperture is prepared by the same process as this wafer 11 for barrier layers. In addition, silicon oxide 12a which is an insulator layer is formed in the front face of this wafer 12 for support substrates for 1 micrometer only in thickness of silicon dioxide.
- 18] Next, these wafers 11 for barrier layers and the wafer 12 for support substrates are washed with SC1, and it is made to dry after the rinse by pure water. And the mirror planes of both the wafers 11 and 12 are piled up under the room temperature of a clean room. Thereby, the lamination silicon wafer 13 is formed. Then, this lamination silicon wafer 13 is inserted in the quartz coil of a lamination furnace, and lamination heat treatment is carried out in an oxygen gas ambient atmosphere. Lamination temperature is 1100 degrees C and heat treatment time amount is 2 hours. Then, void detection by ultrasonic irradiation is conducted, the lamination silicon wafer 13 of an excellent article is beveled, and grinding and polish of the wafer 11 for barrier layers are performed. Therefore, the thinning of the wafer 11 for barrier layers is carried out by the given thickness.
- 19] After that, the produced lamination substrate is washed, is packed up by the wafer case etc., and is shipped to a device manufacturer etc. Thus, as a wafer 11 for barrier layers with which a device is produced, since the pure silicon wafer with which various kinds of defects were eliminated was adopted, the front face of this wafer 11 for barrier layers is made defect-free. Thereby, the electrical characteristics, for example, an oxide-film proof-pressure property, can be improved.
- 20] Here, based on drawing 3 and drawing 4, the lamination substrate of a conventional method and the lamination substrate of this invention are made to contrast, and the result at the time of performing the evaluation trial of the oxide-film pressure-proofing in each silicon wafer is indicated. Drawing 3 is the explanatory view showing the evaluation test method of oxide-film pressure-proofing of this lamination substrate. Drawing 4 (a) is the explanatory view showing the front-of-measurement distribution situation of the oxide-film pressure-proofing in the lamination substrate concerning an example of this invention. Drawing 4 (b) is the explanatory view showing it in the lamination substrate conventionally applied to a means.
- 21] First, with reference to drawing 3, the evaluation test method of oxide-film pressure-proofing of a concrete lamination substrate is explained. As shown in drawing 3, as for the lamination substrate 10, the wafer 11 for barrier layers with a thickness of 5-10 micrometers is stretched by one side of the wafer 12 for support substrates through with a thickness of 1 micrometer silicon oxide 12a. The oxygen density of the wafer 11 for barrier layers is $[O_i] = 1.30 \times 10^{18} - 10^{19} \text{ cm}^{-3}$.
- 22] Lynn P is doped by the wafer 11 for barrier layers at that surface section, and this part is N+. It is a field. The electrode 14 made from aluminum is formed on this field. Moreover, the gate oxide 15 of 2 is formed in the location which only predetermined distance separated from this electrode 14 25nm in thickness, and 20nm of film surface is formed. On gate oxide 15, the electrode 16 made from polysilicon is formed. As for this electrode 16, 500nm in thickness and Lynn are doped. The sense terminal of the oxide-film proof-pressure measuring instrument 20 which has a power supply 17, an ammeter 18, and a voltmeter 19 is connected to these electrodes 14 and 16, respectively. - side is connected to the electrode 16 for the + side edge child at the electrode 14.

[3] On the occasion of the oxide-film compressive test of gate oxide 15, applied-voltage 10 MV/cm of a direct current is impressed for 10 seconds, and an electrical potential difference is already impressed similarly only at once that. Under the present circumstances, only when the amount of currents which flows to electrodes 14 and 16 was measured and current density A/cm² of 100micro was exceeded, it was considered that dielectric breakdown had occurred in gate oxide 15. A total of 181 point of measurement was allotted on this wafer 11 for barrier layers, and the position of dielectric breakdown of the gate oxide 15 in each point was investigated. The result is shown in drawing 4. [4] In the case of the lamination substrate 10 of one example of this invention, dielectric breakdown was produced in point of measurement of 181 so that clearly from drawing 4 (a). On the other hand, dielectric breakdown produced lamination substrate 100 of the conventional method shown in drawing 4 (b) in 17 of 181 points. In addition, in drawing 4 (a) and drawing 4 (b), as for dielectric-breakdown nothing and black painting area, void area shows those dielectric breakdown. From the above experiment, when adopting the pure silicon wafer as the wafer 11 for barrier layers, it was proved that the oxide-film proof-pressure property on the front face of a wafer is improved. [5] [Effect of the Invention] Since the near silicon wafer with which a device is produced at least among the 1st and 2nd silicon wafer stretched was used as the pure silicon wafer with which various kinds of defects do not exist according to this invention, those electrical characteristics can be raised.

translation done.]

OTICES *

an Patent Office is not responsible for any
ages caused by the use of this translation.

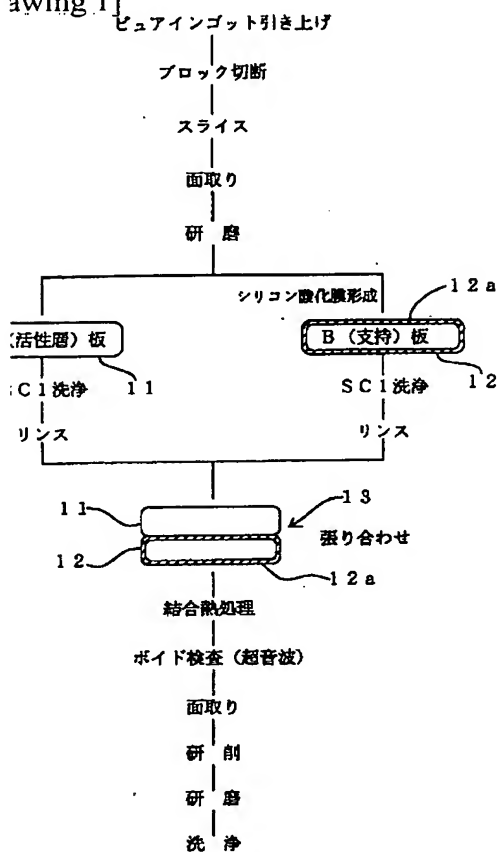
his document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

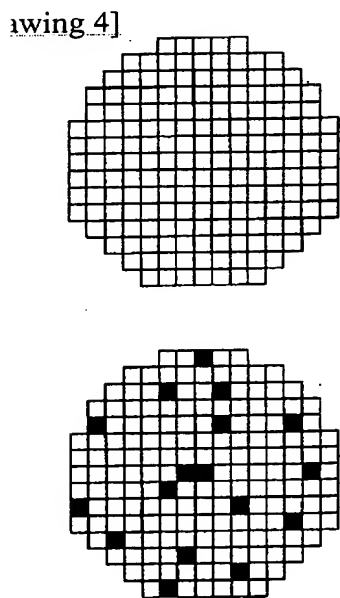
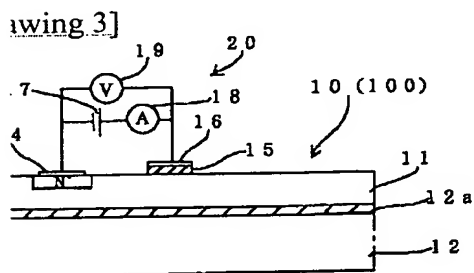
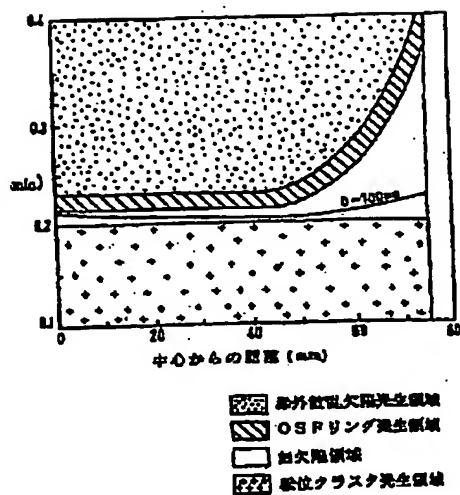
the drawings, any words are not translated.

AWINGS

awing 1]



awing 2]



translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44398

(P2001-44398A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) IntCl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/12

H 0 1 L 27/12

B 4 G 0 7 7

C 3 0 B 29/06

C 3 0 B 29/06

C

5 0 2

5 0 2 J

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平11-217368

(22) 出願日

平成11年7月30日 (1999.7.30)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 大井 浩之

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(74) 代理人 100094215

弁理士 安倍 逸郎

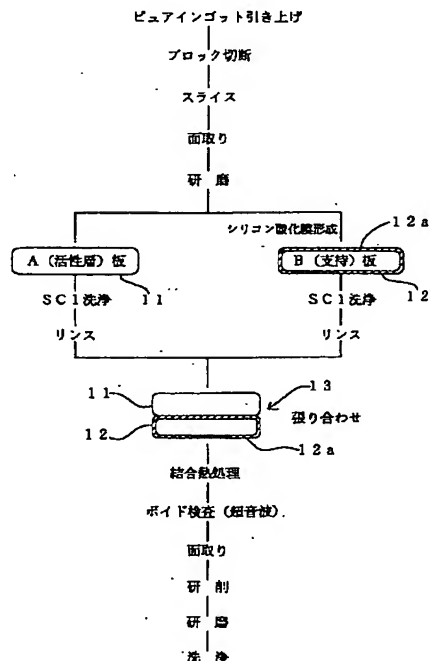
Fターム(参考) 4G077 AA02 AA10 BA04 CF10 FF07

(54) 【発明の名称】 張り合わせ基板およびその製造方法

(57) 【要約】

【課題】 デバイス作製側ウェーハを無欠陥化し、その電気的特性を高めた張り合わせ基板とその製法を提供する。

【解決手段】 デバイス作製側をピュアシリコンウェーハとして張り合わせる。ピュアシリコンウェーハは、CZインゴットの引上の際、引上速度、結晶内温度勾配の平均値を制御し、Grown-in欠陥を排除している。引上速度をVmm/min、Si融点から1300℃までの引上軸方向の結晶内温度勾配の平均値をG℃/mmとし、V/Gを、結晶中心から45mmまでの領域で、0.20~0.22mm²/℃・min、45mmから外側の領域でV/Gが単調に増加するように目標引上速度を設定する。張り合わせは通常の条件で行う。



【特許請求の範囲】

【請求項1】 第1のシリコンウェーハと第2のシリコンウェーハとを張り合わせた張り合わせ基板において、第1のシリコンウェーハおよび第2のシリコンウェーハのうち、少なくともデバイスが作製される側のシリコンウェーハを、ウェーハ全面に微小欠陥が存在しないビュアシリコンウェーハとした張り合わせ基板。

【請求項2】 上記第1のシリコンウェーハと第2のシリコンウェーハとの間に絶縁層が介在された請求項1に記載の張り合わせ基板。

【請求項3】 CZ法による単結晶シリコンインゴットの引き上げ速度と、この単結晶シリコンインゴットの結晶内の温度勾配である結晶内温度勾配の平均値とを制御することで、微小欠陥が存在しないビュアな単結晶シリコンインゴットを引き上げる工程と、

得られたビュアな単結晶シリコンインゴットをスライシングすることにより、ウェーハ全面から微小欠陥が排除されたビュアシリコンウェーハを作製する工程と、

第1のシリコンウェーハおよび第2のシリコンウェーハのうち少なくともいずれかに上記ビュアシリコンウェーハを用い、これらの第1のシリコンウェーハと第2のシリコンウェーハとを張り合わせる工程とを備えた張り合わせ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は張り合わせ基板およびその製造方法、詳しくはデバイスが作製される側のシリコンウェーハの全面から微小欠陥が排除された張り合わせ基板およびその製造方法に関する。

【0002】

【従来の技術】張り合わせ基板の一種であるSOIウェーハの製造に際しては、まずCZ法により引き上げられた単結晶シリコンインゴットをスライスし、2枚のシリコンウェーハを用意する。次いで、絶縁膜を挟んで、片方のウェーハを活性層用ウェーハとし、他方のウェーハを支持基板用ウェーハとして、両ウェーハを室温で重ね合わせる。それから、所定の張り合わせ熱処理を行う。続いて、張り合わせ不良領域を除去するなどのために、活性層用ウェーハの外周部を面取りする。その後、この活性層用ウェーハの表面を研削し、研磨する。この研磨面がデバイス形成面となる。ところで、単結晶シリコンインゴット中には、酸素が過飽和状態で含まれている。この過飽和な酸素は、インゴットの機械的な強度を高めたり、不純物のゲッタリングサイトとしての役割を果たしている。その反面、シリコンウェーハに微小な酸素誘起積層欠陥(OSF: Oxidation Induced Stacking Fault)、COP(Crystal Originated Particle)などのBMD(Bulk Micro Defect)を生じさせる要因ともなっている。

【0003】

【発明が解決しようとする課題】シリコンウェーハにおけるデバイスの作製領域は、表層部の10 μ m以下である。SOIウェーハの場合、厚さが数10 μ m～数 μ mの表層部にデバイスが造られる。このように活性層用ウェーハの結晶特性が重要になる。すなわち、このウェーハ表面は完全に無欠陥でなければならず、表層部としても均質かつ無欠陥であることが要求される。しかしながら、活性層用ウェーハもCZウェーハである。よって、ウェーハ内に酸素が過飽和状態で存在している。この過飽和な酸素が活性層用ウェーハに微小欠陥を生じさせている。微小欠陥により例えば酸化膜耐圧特性の劣化を招くという問題点が発生していた。

【0004】そこで、発明者は、電気的特性を劣化させるような微小欠陥(以下、Grown-in欠陥という)が存在しないビュアシリコンウェーハに着目し、この発明を完成させた。ここで、Grown-in欠陥は、結晶の引き上げに起因する欠陥で、上記酸素誘起積層欠陥などのほか、赤外散乱欠陥、転位クラスタなどを含む。前者の赤外散乱欠陥とは、酸素析出物の一種であって、赤外トモグラフ法により観察される微小欠陥である。また、後者の転位クラスタとは、シリコン結晶の変形により生じる微小欠陥であって、結晶のすべり面上ですでに滑った部分とまだ滑っていない部分との境界に存在する欠陥である。

【0005】

【発明の目的】この発明は、デバイスが作製される側のシリコンウェーハを無欠陥化させることで、ウェーハ表面の電気的特性を高めることができる張り合わせ基板およびその製造方法を提供することを、その目的としている。

【0006】

【課題を解決するための手段】請求項1に記載の発明は、第1のシリコンウェーハと第2のシリコンウェーハとを張り合わせた張り合わせ基板において、第1のシリコンウェーハおよび第2のシリコンウェーハのうち、少なくともデバイスが作製される側のシリコンウェーハを、ウェーハ全面に微小欠陥が存在しないビュアシリコンウェーハとした張り合わせ基板である。張り合わせ基板としては、例えばSOI基板などが挙げられる。

【0007】ビュアシリコンウェーハの作製方法としては、請求項3に記載した条件により単結晶シリコンインゴットを引き上げ、これを一般的な方法でウェーハ加工する方法などが挙げられる。ビュアシリコンウェーハの作製方法は、この請求項3に記載の条件に限定されない。ビュアシリコンウェーハが採用されるウェーハは、基本的にデバイス作製側のウェーハである。ただし、これに限定されない。すなわち、ビュアシリコンウェーハは、第1のシリコンウェーハであっても、第2のシリコンウェーハであってもよく、両方のウェーハでもよい。

【0008】請求項2に記載の発明は、上記第1のシリコンウェーハと第2のシリコンウェーハとの間に絶縁層が介在された請求項1に記載の張り合わせ基板である。いわゆる、張り合わせSOI基板がこれに該当する。

【0009】請求項3に記載の発明は、CZ法による単結晶シリコンインゴットの引き上げ速度と、この単結晶シリコンインゴットの結晶内の温度勾配である結晶内温度勾配の平均値とを制御することで、微小欠陥が存在しないピュアな単結晶シリコンインゴットを引き上げる工程と、得られたピュアな単結晶シリコンインゴットをスライシングすることにより、ウェーハ全面から微小欠陥が排除されたピュアシリコンウェーハを作製する工程と、第1のシリコンウェーハおよび第2のシリコンウェーハのうち少なくともいずれかに上記ピュアシリコンウェーハを用い、これらの第1のシリコンウェーハと第2のシリコンウェーハとを張り合わせる工程とを備えた張り合わせ基板の製造方法である。

【0010】ピュアシリコンウェーハの具体的な作製方法の一例が、特開平8-330316号公報の「シリコン単結晶ウェーハおよびその製造方法」に記載されている。この特許公開公報によるピュアシリコンウェーハの作製方法を説明する。すなわち、まずCZ法による単結晶シリコンインゴットを引き上げる際に、引き上げ速度を V (mm/min)とし、シリコン融点から1300℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を G (℃/mm)とすると、 V/G 値を、結晶中心位置から、結晶外周より半径方向内側へ30mmの位置までのインゴット中心部領域では0.20~0.22mm²/℃・minとし、この結晶外周より半径方向内側へ30mmの位置から、結晶外周位置までのインゴット外周部領域では0.20~0.22mm²/℃・minとするか、もしくは結晶外周に向かって徐々に増加させて、この単結晶シリコンインゴットを低速引き上げにより作製する。これにより、単結晶シリコンインゴット中から、酸素誘起積層欠陥などのGrown-in欠陥が排除される。その後、この単結晶シリコンインゴットをスライシングすることにより、ウェーハ全面に微小欠陥が存在しないピュアシリコンウェーハが作製される。

【0011】また、第1のシリコンウェーハおよび第2のシリコンウェーハの重ね合わせは、通常、室温で行われる。張り合わせ熱処理の加熱温度は800℃以上、通常は1100~1200℃である。張り合わせ熱処理時間は、一般的に2時間前後である。炉内の雰囲気ガスには酸素などが用いられる。

【0012】

【作用】この発明によれば、第1のシリコンウェーハおよび第2のシリコンウェーハのうち、少なくともデバイスが作製される側のウェーハをピュアシリコンウェーハとして、両ウェーハが張り合わされる。このピュアシリ

コンウェーハは、すでにCZ法によるインゴット引き上げの際から、引き上げ速度および結晶内温度勾配の平均値を制御することにより、各種のGrown-in欠陥が排除されている。したがって、酸化膜耐圧などの電気的特性を高めることができる。

【0013】

【発明の実施の形態】以下、この発明の実施例を図面を参照して説明する。なお、ここでは張り合わせ基板として張り合わせSOI基板を例にとる。図1は、この発明の一実施例に係る張り合わせ基板の製造方法を示すフローチャートである。図1に示すように、あらかじめCZ法による単結晶シリコンインゴットの引き上げ工程において、その引き上げ速度およびその結晶内温度勾配の平均値を制御しながら単結晶シリコンインゴットを作製する。

【0014】具体的には、18インチ石英坩堝およびカーボン坩堝が設置された6インチ単結晶シリコンインゴットを引き上げ可能なCZ装置において、坩堝の周囲に設置された円筒状のカーボンヒータと坩堝との相対位置、成長結晶の周囲に設置されたカーボンからなる厚さ5mm、開口径200mmの半円錐形状の輻射遮蔽体の先端と融液表面との距離、ヒータ周囲の断熱材構造などの条件を総合伝熱計算によって検討し、その後、この坩堝に高純度多結晶シリコンを65kg投入し、ボロンをドープして、この多結晶シリコンを加熱溶融させ、直径が150mmで結晶成長方位が〈100〉の単結晶を、長さ1300mmになるまで引き上げた。この際の引き上げ速度と結晶内温度勾配の平均値との制御条件を以下に示す。

【0015】すなわち、引き上げ速度を V mm/minとし、シリコン融点から1300℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値を G ℃/mmとしたときの V/G 値を、結晶中心から45mmまでの領域では、0.20~0.22mm²/℃・minに維持し、45mmから外側の領域では V/G 値が単調に増加するように結晶軸方向における目標引き上げ速度を設定した。

【0016】引き上げ後の単結晶シリコンインゴットを結晶軸方向と平行に厚さ1.5mmで切り出し、HFおよびHNO₃からなる混酸溶液中で加工歪を溶解除去し、さらに希HF溶液中に浸漬し、その後、超純水によりリンスし、乾燥させた。このサンプルを800℃で4時間、1000℃で16時間、乾燥酸素中で熱処理を行った後、X線トポグラフにより欠陥の発生分布を調べた。欠陥の分布を、図2の結晶軸を含む平面における欠陥分布の模式図に示す。なお、図2中、0~700mmの線は、単結晶シリコンインゴットの肩からの長さを示し、これは結晶引き上げ量に対応している。この結果、単結晶シリコンインゴットのトップ部からテイル部にかけての全長の約1/2の長さの範囲において、酸素誘起

積層欠陥（OSFリング）、赤外散乱欠陥、転位クラスターといった欠陥の発生は見られなかった。

【0017】その後、この得られた単結晶シリコンインゴットを、ブロック切断、スライス、面取り、研磨などを施して、厚さ620 μ m、直径150mm（6インチ）の活性層用ウェーハ11を用意する。また、この活性層用ウェーハ11と同じ製法により、同じ厚さ、同一口径の支持基板用ウェーハ12を用意する。なお、この支持基板用ウェーハ12の表面には、ウエットO₂酸化によって、絶縁膜であるシリコン酸化膜12aが、厚さ1 μ mだけ形成される。

【0018】次に、これらの活性層用ウェーハ11、支持基板用ウェーハ12をSC1洗浄し、純水によるリンス後、乾燥させる。そして、両ウェーハ11、12の鏡面同士をクリーンルームの室温下で重ね合わせる。これにより、張り合わせシリコンウェーハ13が形成される。その後、この張り合わせシリコンウェーハ13を、張り合わせ炉の石英反応管に装入し、酸素ガス雰囲気中で張り合わせ熱処理する。張り合わせ温度は1100℃、熱処理時間は2時間である。続いて、超音波照射によるボイド検査を行い、良品の張り合わせシリコンウェーハ13は、面取りされ、活性層用ウェーハ11の研削・研磨が行われる。よって、活性層用ウェーハ11は所定厚さまで薄肉化される。

【0019】作製された張り合わせ基板は、その後、洗浄され、ウェーハケースなどに梱包されて、デバイスメーカーなどへ出荷される。このように、デバイスが作製される活性層用ウェーハ11として、各種の欠陥が排除されたピュアシリコンウェーハを採用するようにしたので、この活性層用ウェーハ11の表面が無欠陥化される。これにより、その電気的特性、例えば酸化膜耐圧特性を高めることができる。

【0020】ここで、図3および図4に基づいて、従来法の張り合わせ基板とこの発明の張り合わせ基板とを対比させ、各シリコンウェーハにおける酸化膜耐圧の評価試験を行った際の結果を記載する。図3は、この張り合わせ基板の酸化膜耐圧の評価試験方法を示す説明図である。図4（a）は、この発明の一実施例に係る張り合わせ基板における酸化膜耐圧の測定点分布状況を示す説明図である。図4（b）は、従来手段に係る張り合わせ基板におけるそれを示す説明図である。

【0021】まず、図3を参照して、具体的な張り合わせ基板の酸化膜耐圧の評価試験方法を説明する。図3に示すように、張り合わせ基板10は、厚さ5～10 μ mの活性層用ウェーハ11が、厚さ1 μ mのシリコン酸化膜12aを介して、支持基板用ウェーハ12の片面に張り合わされたものである。活性層用ウェーハ11の酸素濃度は、 $[O_i] = 1.30 \times 10^{18} / \text{cm}^3$ である。

【0022】活性層用ウェーハ11には、その表層部に

リンPがドーピングされており、この箇所がN⁺領域となっている。この領域上にはアルミニウム製の電極14が形成されている。また、この電極14から所定距離だけ離れた位置には、厚さ25nm、膜面積20mm²のゲート酸化膜15が形成されている。ゲート酸化膜15上には、ポリシリコン製の電極16が設けられている。この電極16は厚さ500nm、リンがドーピングされている。これらの電極14、16には、直流電源17、電流計18および電圧計19を有する酸化膜耐圧測定器20の測定端子がそれぞれ接続されている。その+側端子が電極16に、-側が電極14に接続されている。

【0023】ゲート酸化膜15の酸化膜耐圧試験に際しては、直流の印加電圧10MV/cmを10秒間印加し、その後、もう一度だけ同様に電圧を印加する。この際、電極14、16に流れる電流量を測定して、電流密度100 μ A/cm²を超えた場合にだけ、ゲート酸化膜15に絶縁破壊が起きているとみなした。この活性層用ウェーハ11上に合計181の測定点を配し、各点でのゲート酸化膜15の絶縁破壊の状況を調べた。その結果を図4に示す。

【0024】図4（a）から明らかなように、この発明の一実施例の張り合わせ基板10の場合、181のすべての測定点で、絶縁破壊は生じなかった。一方、図4（b）に示す従来法の張り合わせ基板100は、181点のうち、17点で絶縁破壊が生じた。なお、図4（a）、図4（b）において、白抜きエリアは絶縁破壊なし、黒塗りエリアは絶縁破壊ありを示す。以上の実験から、活性層用ウェーハ11にピュアシリコンウェーハを採用すれば、ウェーハ表面の酸化膜耐圧特性が改善されることが証明された。

【0025】

【発明の効果】この発明によれば、張り合わされる第1、第2のシリコンウェーハのうち、少なくともデバイスが作製される側のシリコンウェーハを、各種の欠陥が存在しないピュアシリコンウェーハとしたので、その電気的特性を高めることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る張り合わせ基板の製造方法を示すフローチャートである。

【図2】この発明の一実施例に係る結晶軸を含む平面における欠陥分布の模式図である。

【図3】この発明の一実施例に係る張り合わせ基板の酸化膜耐圧の評価試験方法を示す説明図である。

【図4】（a）は、この発明の一実施例に係る張り合わせ基板における酸化膜耐圧の測定点分布を示す説明図である。（b）は、従来手段に係る張り合わせ基板における酸化膜耐圧の測定点分布を示す説明図である。

【符号の説明】

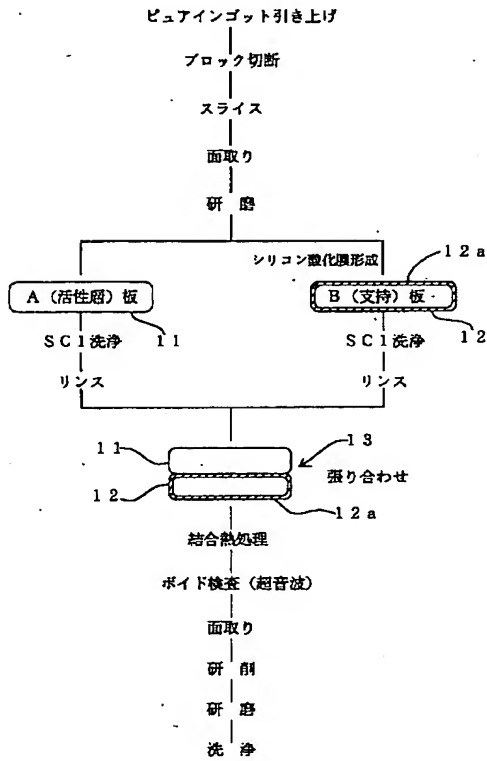
10 張り合わせ基板、

11 活性層用ウェーハ（第1のシリコンウェーハ／ピ

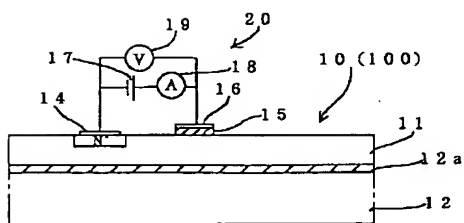
*ハ)。

*

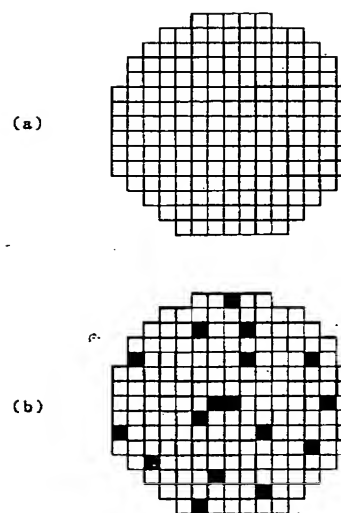
【圖 2】



【図3】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.